



Document Summary



New
Search



Help

[Preview Claims](#)

[Preview Full Text](#)

[Preview Full Image](#)

Email Link:

Document ID: JP 01-198042 A2

Title: DISCRETE BODY TESTING METHOD

Assignee: MITSUBISHI ELECTRIC CORP

Inventor: KATO TETSUO

US Class:

Int'l Class: H01L 21/66 A; G01R 31/26 B; G01R 31/28 B

Issue Date: 08/09/1989

Filing Date: 02/02/1988

Abstract:

PURPOSE: To contrive improvement in work efficiency by a method wherein, when a defective or non-defective article is detected continuously while the discrete bodies such as semiconductors and the like are being tested automatically, the device of testing is automatically returns to its preceding position, the defective article is retested, the diagnosis of the testing device is automatically conducted, and manual operations are saved as much as possible.

CONSTITUTION: A semiconductor integrated circuit 2 is tested, and the result of which and the position of the semiconductor integrated circuit on a wafer are memorized. When continuous generated defective articles 4 reach a specific number, the testing operation is stopped, the testing device returns to the position before the continuous defective articles 4 reach the specific number, the wafers are moved, and the specific number of them are retested in a retest order 6. When the result of the above- mentioned retesting is compared with the result of the previous testing and they agree with each other, the testing of the discrete body advances to the position next to the position stopped by the continuously generated defective article 4, and the testing is conducted continuously. When the above-mentioned comparison results in disagreement, it is judged that the testing device is in an abnormal state, the test is discontinued and the abnormal state is reported.

(C)1989,JPO&Japio

Copyright © 1993-2000 Aurigin Systems, Inc.
[Legal Notices](#)

⑫ 公開特許公報(A)

平1-198042

⑤ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月9日

H 01 L 21/66
G 01 R 31/26
31/28

A-6851-5F

Z-7807-2G

H-6912-2G 審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 個体のテスト方法

⑯ 特 願 昭63-23263

⑰ 出 願 昭63(1988)2月2日

⑱ 発 明 者 加 藤 哲 夫 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内
 ⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
 ⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

個体のテスト方法

2. 特許請求の範囲

個体を自動的にテストする方法において、ある一定数以上の連続不良又は連続良品を検出した場合テストを一時ストップし、連続不良の時は連続不良となる所定数前の位置へ、又は連続良品の時は連続良品となる所定数前の位置へ自動的に戻つて所定数再テストを行い、その結果と以前の結果を照合し、一致の場合は連続不良または連続良品でストップした次の位置へ自動的に進み、不一致の場合はテスト装置の異常と自動的に診断を行う個体のテスト方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体等の個体のテスト方法に係り、特にテスト中のテスト装置の自動診断も可能にしたテスト方法に関するものである。

〔従来の技術〕

半導体等の個体のテスト、例えば半導体集積回

路のウェーハ状態のテスト中において、テスト装置が正常であるかどうかの診断は、半導体集積回路の一定数以上の連続不良でテスト装置がストップし、人がその連続不良の原因を調べることによつて行なつてきた。

第7図は従来の半導体集積回路のテスト方法を示す図であり、図において、(1)はウェーハ、(2)はこのウェーハ上の半導体集積回路、(3)はこの半導体集積回路の良品、(4)は不良品、(5)はテスト順序である。

従来の半導体集積回路のテスト方法について説明する。第7図において、テストはウェーハ(1)上の半導体集積回路(2)を、最上段の左端から右端へ、次に第二段の右端から左へとテスト順序(5)に従つて行なわれる。テストの途中で連続不良がある一定数(この例では5)に達すると、テスト装置は自動的にストップして、音又は光を使つて連続不良を知らせる。人がこの異常情報に気づき異常原因を調べて、テスト装置のストップを解除するまでテスト装置はストップしたままである。

上記のような従来の半導体集積回路のテスト方法では、半導体集積回路の不良かテスト装置の不良か容易に判別できない。

また、連続不良がある一定数に達すると、テストが自動的にストップし、人がその原因を調べた後、ストップを解除するまでテスト装置は停止したままなので、作業能率が極めて悪い。

この発明は、かかる課題を解決するためになされたもので、個体のテスト中にテスト装置の診断も自動的にできる半導体等の個体のテスト方法を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体等の個体のテスト方法は、自動テスト中に、ある一定数以上の連続不良又は連続良品となつた場合、テストを一時ストップし、連続不良の時は連続不良となる所定数前の位置へ、連続良品の時は連続良品となる所定数前の位置へ自動的に戻つて所定数再テストを行い、その結果と以前の結果を照合し、一致の場合は連続不良又は連続良品でストップした次の位置へ進んでテス

テスト方法及びテストのフローチャートを示す。

上記第1図及び第2図において、ウェーハ(1)上の半導体集積回路(2)を、最上段左から右へテストを行い、次に第二段を右から左へ、以下順に最下段までテスト順序(6)に従つてテストして行くものとする。テスト装置は半導体集積回路(2)をテストし、その結果及びウェーハ上の半導体集積回路の位置を記憶する。連続不良がある一定数〔連続不良のリミット値 α (この例では5)〕に達するとテストをストップし、連続不良に入る所定数〔 r 個(この例では1)〕前の再テスト開始位置に戻つてテストするようにウェーハを動かす、再テスト順序(6)に従つて所定数〔 e 個(この例では1)〕再テストを行い、その結果、以前と一致すれば連続不良でストップした次の位置へ進み引き続きテストを続行し、以前と一致しなければテスト装置の異常と判断し、それ以降のテストを止め異常を知らせる。すなわち、この例では連続不良に入る1個前の半導体集積回路の以前の結果は良品であつたので、再テストの結果、この部分の半導体集

トを再開し、不一致の場合はテスト装置の異常と自動的に診断するようにしたものである。

〔作用〕

この発明においては、半導体等の個体の自動テスト中に連続不良又は連続良品を検出したら、その連続不良又は連続良品となる前の位置に自動的に戻つて個体の再テストを行い、その結果と以前の結果を照合することにより、テスト装置の異常の有無を自動的に検出する。

〔実施例〕

第1図乃至第6図はこの発明の各実施例による半導体集積回路のテスト方法及びテストのフローチャートを示す図であり、(1)～(6)は上記従来のテスト方法と同一のものである。(6)は再テストする時に所定数前の位置に戻つて所定数テストする再テスト順序である。第1図及び第2図は連続不良が続く場合のテスト方法及びテストのフローチャート、第3図及び第4図は連続良品が続く場合のテスト方法及びテストのフローチャート、第5図及び第6図は連続不良及び連続良品が続く場合の

積回路が不良品と判定されないテスト装置の異常とし、装置をストップする。

なお、 r と e の数は任意に選択することができ、例えば連続不良に入る1個前は良品で、2個以上前の以前の結果は良品又は不良品であるが、これらも再テストし以前の結果と一致するかどうか調べればよい($r \geq e$)。また連続不良となつた位置も確認のため再テストしてもよい($r < e$)。

なお、連続不良が多数続く場合には連続不良に入る1個前の以前の結果が不良品の場合がある。その場合は、以前の結果との一致を確認して連続不良でストップした次の位置へ進むか、それより前の以前の結果が良品であつた位置まで戻つて再テストし、以前の結果と一致するかどうか調べてもよい。

同様に、第3図及び第4図で連続良品がある一定数〔連続良品リミット値 β (この例では6)〕に達するとテストをストップし、連続良品に入る所定数〔 d 個(この例では1)〕前の再テスト開始位置に戻つて再テスト順序(6)に従つて所定数〔

7個(この例では1)再テストを行い、以前の結果と一致すれば連続良品でストップした次の位置へ進み引き続きテストを続行し、以前の結果と一致しなければテストを止め異常を知らせる。

すなわち、この例では連続良品に入る1個前の以前の結果は不良であつたので再テストの結果、この部分の半導体集積回路が良品と判定されればテスト装置の異常として装置をストップする。なお r と q の数は任意に選択することができ、例えば連続良品に入る1個前は不良品で、2個以上前の以前の結果は良品又は不良品であるが、これらも再テストし以前の結果と一致するかどうか調べればよい($r \geq q$)。また連続良品となつた位置も確認のため再テストしてもよい($r < q$)。

なお、連続良品が多数続く場合には連続良品に入る1個前の以前の結果が良品の場合がある。その場合は、以前の結果との一致を確認して連続良品でストップした次の位置へ進むか、それより前の以前の結果が不良であつた位置まで戻つて再テストし以前の結果と一致するかどうか調べてもよ

い。

半導体集積回路の電気特性値を利用してもよい。また、リミット値は良品、不良品共に同じ値にしてもよいし、別々にしてもよい。その時、それまでのデータを統計処理して得た値を使うのもよい。さらに、この統計処理を自動的に行うのもよい。連続不良リミット α 、連続良品リミット β に達して、所定数 r 個又は q 個前の再テスト開始位置に戻つて所定数 r 個又は q 個再テストする時、戻る位置の数及び再テストする数は2つ以上($r, q, r, q \geq 2$)でもよい。

さらに、このテスト方法は、半導体集積回路以外のどのような個体のテストにも使えることはいうまでもない。

〔発明の効果〕

この発明は以上説明したとおり、半導体等個体の自動テスト中において、テスト装置の診断も自動的に行われ、人の介入を少なくすると共に、人の負担が軽減される作業能率の向上が計れる効果がある。

4. 図面の簡単な説明

い。

さらに、この方法では、不良品を良品としてしまうようなテスト装置の異常も発見できる。

同様にまた、第5図及び第6図で連続不良リミット値 α (この例では5)又は連続良品リミット値 β (この例では6)に達するとテストをストップし、連続不良または連続良品に入る所定数 r 個(この例では1)、又は q 個(この例では1)前の再テスト開始位置に戻つて再テスト順序(6)に従つて所定数 r 個(この例では1)、又は q 個(この例では1)再テストを行い、以前の結果と一致すれば連続不良又は連続良品でストップした次の位置に進み引き続きテストを続行し、一致しなければテストを止め異常を知らせる。 r, q, r, q の決め方は上記第1図乃至第4図の説明と同様である。

この方法では、不良品を良品としてしまうようなテスト装置の異常も発見できる。

なお、上記実施例では、連続良品、連続不良、連続良品及び連続不良のテスト結果を利用したが、

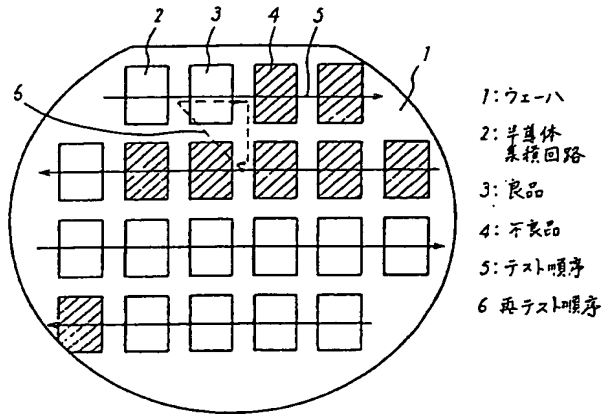
第1図はこの発明の一実施例による半導体集積回路の連続不良が続く場合の半導体集積回路のテスト方法を示す図、第2図は第1図に示すテストのフローチャート、第3図は半導体集積回路の連続良品が続く場合の半導体集積回路のテスト方法を示す図、第4図は第3図に示すテストのフローチャート、第5図は半導体集積回路の連続不良及び連続良品が続く場合の半導体集積回路のテスト方法を示す図、第6図は第5図に示すテストのフローチャート、第7図は従来の半導体集積回路のテスト方法を示す図である。

図において、(1)は半導体ウエーハ、(2)は半導体集積回路、(3)は良品、(4)は不良品、(5)はテスト順序、(6)は再テスト順序である。

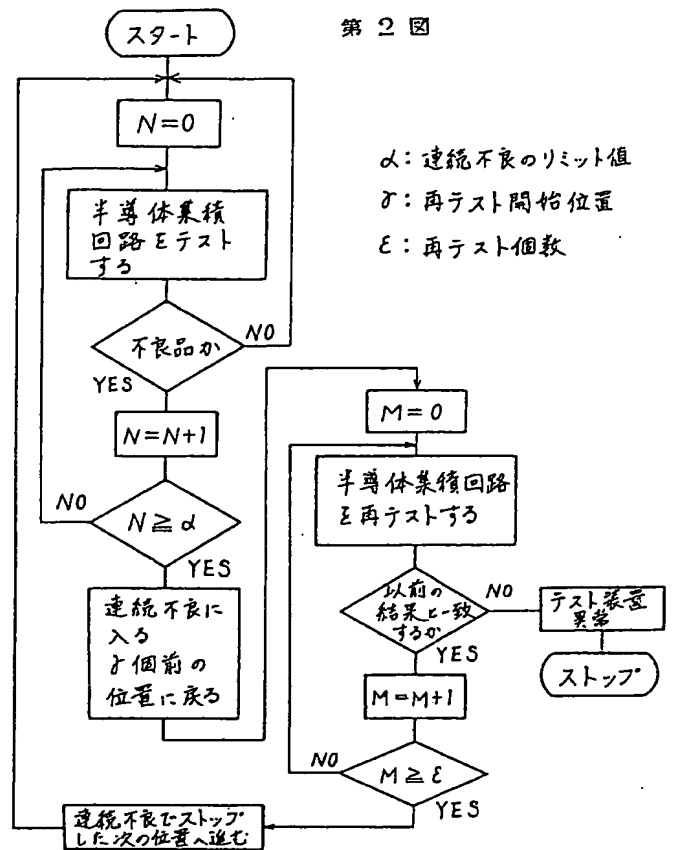
なお、各図中、同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

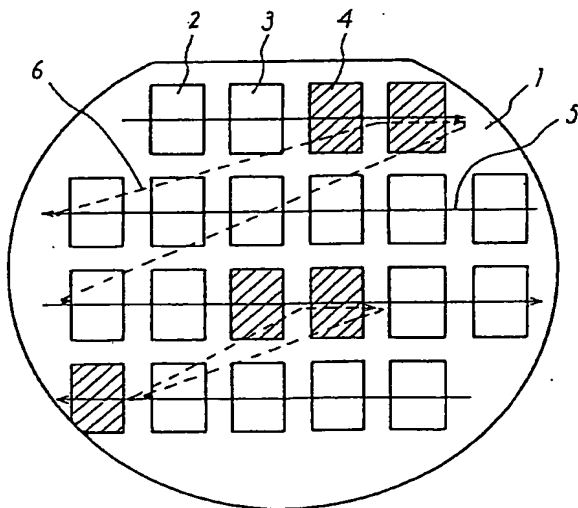
第1図



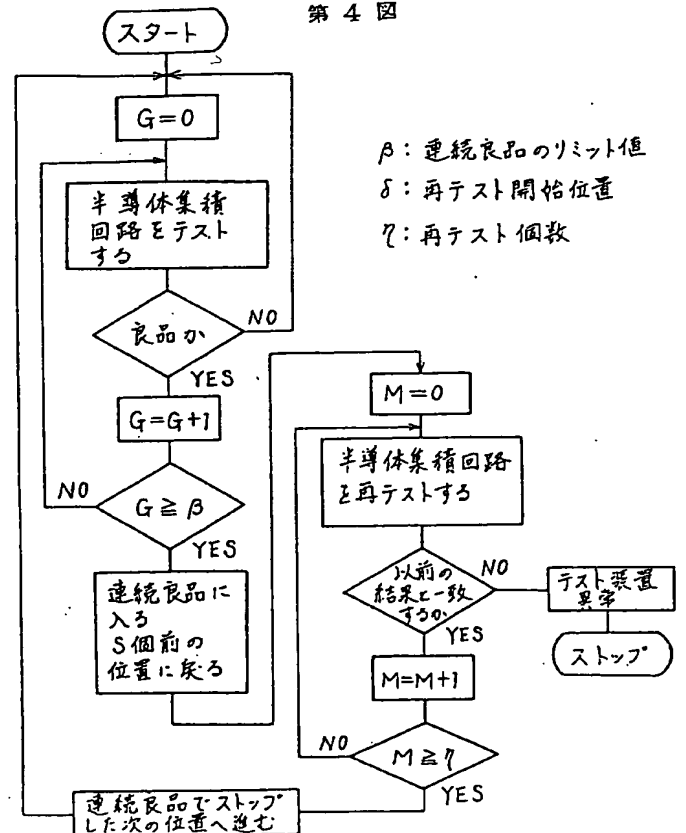
第2図



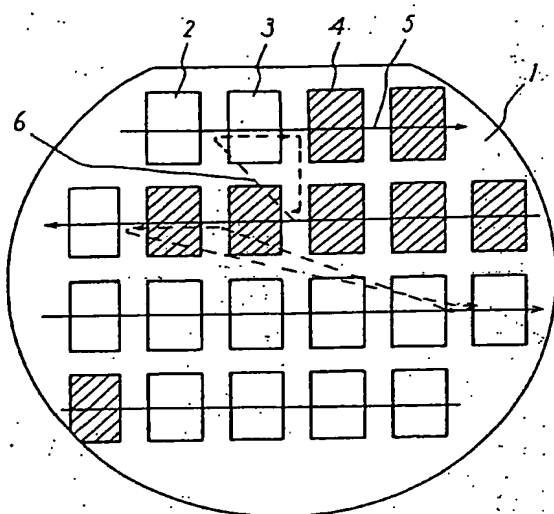
第3図



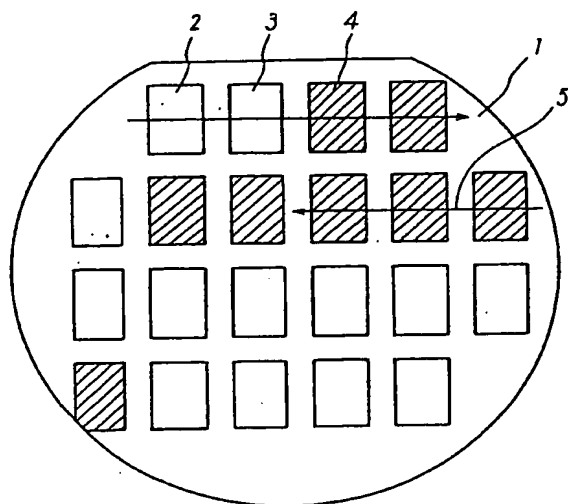
第4図



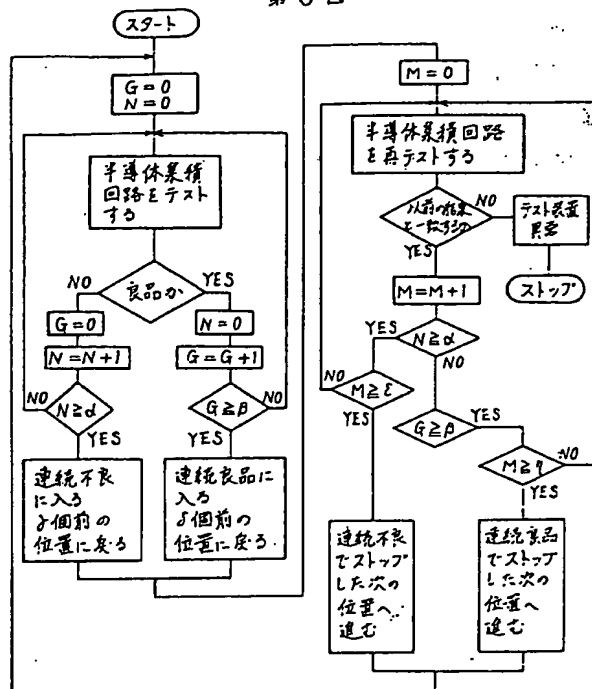
第5図



第7図



第6図



手続補正書(自発)

昭和 63 年 1 月 14 日

特許庁長官殿

1. 事件の表示 特願昭 63-23263 号

2. 発明の名称
個体のテスト方法

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)



5. 補正の対象

明細書の発明の詳細な説明欄および図面

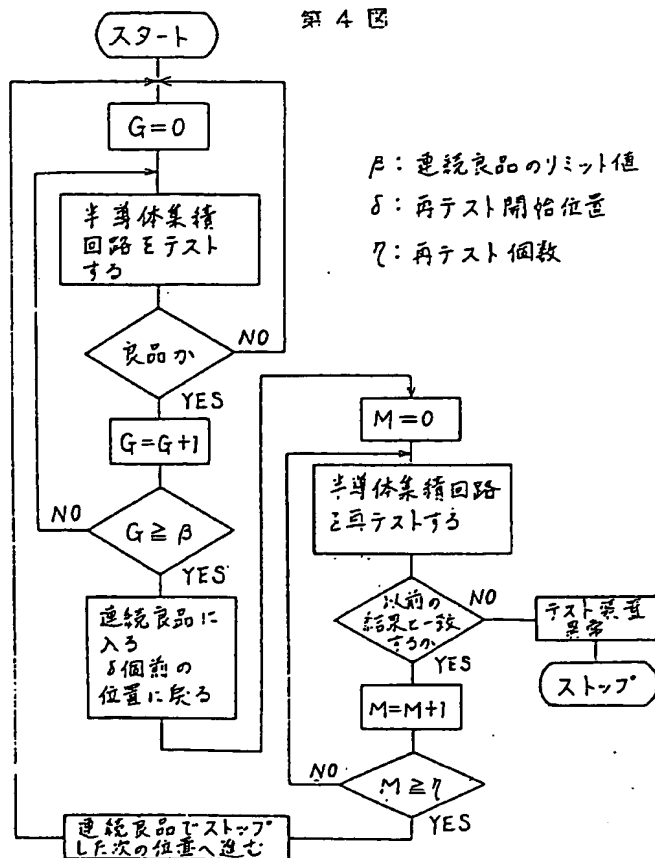
6. 補正の内容

(1) 明細書第6頁第1行の「されない」を「されれば」に訂正する。

(2) 図面の第4図を別紙のとおり訂正する。

以上

第4図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.